

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-158137  
(P2002-158137A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
H 0 1 G 4/30	3 0 1	H 0 1 G 4/30	3 0 1 F 5 E 0 0 1
	3 1 1		3 1 1 D 5 E 0 8 2
4/12	3 5 2	4/12	3 5 2
	3 6 1		3 6 1
	3 6 4		3 6 4
審査請求 未請求 請求項の数 5 O L (全 5 頁)			

(21) 出願番号 特願2000-355511(P2000-355511)

(22) 出願日 平成12年11月22日 (2000.11.22)

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 吉井 彰敏

東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

(72) 発明者 横山 英樹

東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

(74) 代理人 100079290

弁理士 村井 隆

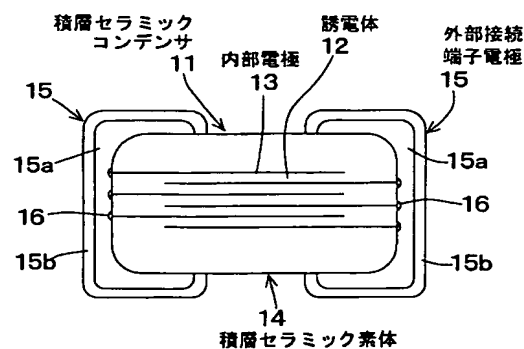
最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品及びその製造方法

(57) 【要約】

【課題】 鉛フリーはんだによって回路基板に電気的通電固着する際に生じる特性影響を防止できる耐ヒートサイクル性の高い外部接続端子電極を形成した積層セラミック電子部品を提供する。

【解決手段】 Ni又はNi合金層の内部電極13を内設した積層セラミック素体の両端に外部接続端子電極15を形成する積層セラミック電子部品において、前記外部接続端子電極15を、Cu又はCu合金を主成分とする下地電極層15aと、Ag又はAg合金を主成分とする最外部電極層15bとの重層で形成する。下地電極層15aは、Cu又はCu合金を主成分とする導電金属材料とガラスフリットとを含む導電塗料による厚さ1μm以上の焼付層で形成され、最外部電極層15bはAg又はAg合金を主成分とする導電金属材料とガラスフリットとを含む導電塗料による焼付層で形成される。



15a : 下地電極層  
15b : 最外部電極層

## 【特許請求の範囲】

【請求項1】 Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する積層セラミック電子部品において、前記外部接続端子電極はCu又はCu合金を主成分とする下地電極層と、Ag又はAg合金を主成分とする最外部電極層との重層で形成されていることを特徴とする積層セラミック電子部品。

【請求項2】 前記下地電極層は、Cu又はCu合金を主成分とする導電金属材料とガラスフリットとを含む導電塗料による厚さ1μm以上の焼付層で形成されている請求項1記載の積層セラミック電子部品。

【請求項3】 前記最外部電極層はAg又はAg合金を主成分とする導電金属材料とガラスフリットとを含む導電塗料による焼付層で形成されている請求項1又は2記載の積層セラミック電子部品。

【請求項4】 前記積層セラミック素体の両端に露出されている前記内部電極のNi又はNi合金層と前記下地電極層との界面にCu-Ni合金が形成されている請求項1、2又は3記載の積層セラミック電子部品。

【請求項5】 Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する積層セラミック電子部品の製造方法において、前記外部接続端子電極の製造工程が、Cu又はCu合金を主成分とする導電金属材料とガラスフリットとを含む下地電極材の導電ペーストを前記積層セラミック素体の両端に設ける第1の導電ペースト塗布工程と、Ag又はAg合金を主成分とする導電金属材料とガラスフリットとを含む最外部電極層の導電ペーストを前記第1の導電ペーストの上に重ねて設ける第2の導電ペースト塗布工程と、前記第1及び第2の導電ペーストを同時焼付処理して、下地電極層及び最外部電極層を形成する焼付工程とを備えることを特徴とする積層セラミック電子部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば積層セラミックコンデンサ、積層バリスタ、積層誘電体共振器、積層圧電素子等の積層セラミック電子部品及びその製造方法に係り、特に鉛(Pb)フリーはんだでの回路基板に電気的通電固着する際に生じる亜硫酸ガスによる影響を防止できる耐ヒートサイクル性の高い外部接続端子電極を形成した積層セラミック電子部品及びその製造方法に関するものである。

## 【0002】

【従来の技術】近年、電子機器等の小型化が進み、ディスプレイ部品は表面実装タイプの極小チップ部品になっており、高電圧又は低電圧の集積回路に用いられる、例えば積層セラミックコンデンサ等も極小化への要請が

強くなっている。このため、電気回路との接合性も良好で、電気的特性、信頼性、機械的特性に優れる上に、焼結体の積層セラミック素体との接合強度が高く、且つ撓み強度及び耐ヒートサイクル性の高い外部接続端子電極の要請が一段と強くなっている。

【0003】例えば、図2に示す如く、従来の積層セラミック電子部品としての積層セラミックコンデンサ1は、Ni等の卑金属を用いた内部電極3を印刷した誘電体2のセラミックグリーンシートを、順次積層し焼成し、複数に切断して形成された積層セラミック素体4の両端に、外部接続端子電極5として前記内部電極3とのなじみを良くして、その接続部分に接続不良が生じないようにAg-Pd又はCu等の金属粉末にガラスフリットを加えた導電ペーストを塗布し、700～800℃で焼き付けて下地電極層の第1電極層5aを形成して前記内部電極3の貴金属又は卑金属と融合させて前記第1電極層5aと前記内部電極3とを良好な結合状態にしている。

【0004】そして、前記外部接続端子電極5は、前記第1電極層5a上に、搭載される基板上の電気回路との接続にあたり、濡れ性及び耐はんだ性の向上、特にはんだ耐熱性を保持するためにNi等のメッキ皮膜でなる第2電極層5bと外部電気接続として用いるはんだとの整合性を良くするためにSn又はSn-Pbを材料とした皮膜の第3電極層5cを更に重被覆して形成している。そして前記第2電極層5bの形成は、一般に厚さ1.0～3.0μmのNiメッキ層の皮膜であり、皮膜部分が極めて小さいため、電流効率を確保するために基本組成のワット浴を用いたバレルメッキで処理されている。

【0005】本来電着応力の少ない、即ち大きい残留応力を残す浴組成物のNiCl<sub>2</sub>・6H<sub>2</sub>O(塩化ニッケル)の少ないスルファミン酸浴で処理されるのが理想とされるが、Niイオン補充に臭化ニッケル(NiBr<sub>2</sub>)を使用するので、安全衛生上及び経済コストを考慮してワット浴を使用しているのが一般的であるとされている。

【0006】処が、この様にして形成した前記外部接続端子電極5にはんだ量を多くしたはんだ着けをする場合、-55～125℃の耐ヒートサイクル性に対して劣化する傾向があるので、Niメッキ層の膜厚を上げることで対応してきた。その反面、膜厚が厚くなるほどにメッキ膜の引っ張り応力や圧縮応力が発生し、耐ヒートサイクル性が劣化するという悪循環が生じていた。

【0007】しかしながら、近年、鉛フリー実装を目的とした導電性接着材対応の電子部品の要請が高まり、上述のように、外部接続端子電極の最外部電極層であるSn又はSn-Pbの電極層を形成したものは、接触抵抗が高湿多湿環境下で大幅に上昇し信頼性が劣り、更にヒートサイクルで固着強度の劣化が見られるために最外部電極層がAg若しくはAg-Pd合金で構成されるものが用

いられてきた。

【0008】しかし、内部電極を低廉化で卑金属のNi又はNi合金層で構成すると、この内部電極が、酸化性の高いメッキ浴雰囲気と相当する亜硫酸ガス( $H_2SO_3$ )試験で酸化腐食をし、ここで生じた硫化ニッケル

(NiS)又は硫酸ニッケルが電子部品表面に析出・生成し、このために絶縁不良(IR不良)や容量低下を招く欠点を有している。

【0009】

【発明が解決しようとする課題】本発明は、上述の欠点を解消し、鉛(Pb)フリーはんだによって回路基板に電氣的通電固着する際に生じる特性影響を防止できる耐ヒートサイクル性の高い外部接続端子電極を形成した極小積層セラミックコンデンサ等にも適用できる積層セラミック電子部品及びその製造方法を提供することを目的としている。

【0010】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本願請求項1の発明に係る積層セラミック電子部品は、Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する積層セラミック電子部品において、前記外部接続端子電極はCu又はCu合金を主成分とする下地電極層と、Ag又はAg合金を主成分とする最外部電極層との重層で形成されていることを特徴としている。

【0012】本願請求項2の発明に係る積層セラミック電子部品は、請求項1において、前記下地電極層が、Cu又はCu合金を主成分とする導電金属材とガラスフリットとを含む導電塗料による厚さ1 $\mu$ m以上の焼付層で形成されていることを特徴としている。

【0013】本願請求項3の発明に係る積層セラミック電子部品は、請求項1又は2において、前記最外部電極層はAg又はAg合金を主成分とする導電金属材とガラスフリットとを含む導電塗料による焼付層で形成されていることを特徴としている。

【0014】本願請求項4の発明に係る積層セラミック電子部品は、請求項1、2又は3において、前記積層セラミック素体の両端に露出されている前記内部電極のNi又はNi合金層と前記下地電極層との界面にCu-Ni合金が形成されていることを特徴としている。

【0015】本願請求項5の発明に係る積層セラミック電子部品の製造方法は、Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する場合において、前記外部接続端子電極の製造工程が、Cu又はCu合金を主成分とする導電金属材とガラスフリットとを含む下地電極材の導電ペーストを前記積層セラミック素体の両端に設ける第1の導電ペースト塗布工程と、Ag又はAg合金を主成分とする導電

金属材とガラスフリットとを含む最外部電極層の導電ペーストを前記第1の導電ペーストの上に重ねて設ける第2の導電ペースト塗布工程と、前記第1及び第2の導電ペーストを同時焼付処理して、下地電極層及び最外部電極層を形成する焼付工程とを備えることを特徴としている。

【0016】

【発明の実施の形態】以下、本発明に係る積層セラミック電子部品及びその製造方法の実施の形態を図面に従って説明する。

【0017】図1で本発明に係る積層セラミック電子部品及びその製造方法の実施の形態を説明する。

【0018】図1は本発明に係る積層セラミック電子部品の1例としての積層セラミックコンデンサ11の断面図であり、Ni又はNi合金を主成分とした卑金属を用いた内部電極13を印刷した誘電体12のセラミックグリーンシートを、順次積層し焼成し、複數に切断して形成された積層セラミック素体14の両端に、外部接続端子電極15を形成する。ここで、外部接続端子電極15として、前記内部電極13とのなじみを良くして、その接続部分に接続不良が生じないようにCu又はCu合金を主成分とする金属粉末にガラスフリットを加えた第1導電ペースト層を塗布し、更にその層上にAg又はAg-Pd合金を主成分とする金属粉末にガラスフリットを加えた第2導電ペースト層を塗布重層形成し、その後、前記第1導電ペースト層及び第2導電ペースト層を同時に700℃で焼付けて下地電極層15aと最外部電極層15bを重層して形成している。すなわち、下地電極層15aはCu又はCu合金を主成分とする導電金属材とガラスフリットとを含む導電塗料による厚さ1 $\mu$ m以上の焼付層で形成され、また最外部電極層15bはAg又はAg合金を主成分とする導電金属材とガラスフリットとを含む導電塗料による焼付層で形成される。なお、下地電極層15aは必要以上に厚くないことが好ましく、3 $\mu$ m以下であることが望ましい。

【0019】焼き付けられた前記下地電極層15aは前記積層セラミック素体14の両端に露出されている前記内部電極13の卑金属と融合してNi-Cu合金層16を界面に形成し、前記下地電極層15aと前記内部電極13とを良好な結合状態にしている。

【0020】以上のように、本実施の形態は、Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する積層セラミック電子部品において、前記外部接続端子電極はCu又はCu合金を主成分とする下地電極層とAg又はAg-Pdを主成分とする最外部電極層との2層構造で形成され、前記下地電極層はCu又はCu合金を主成分とする導電金属材とガラスフリットからなる導電塗料による厚さ1 $\mu$ m以上の焼付層で形成され、前記最外部電極層はAg又はAg-Pdを主成分とする導電金属材とガラスフリット

からなる導電塗料による焼付層で形成され、更に、前記積層セラミック素体の両端に露出している前記内部電極のNi又はNi合金層と前記下地電極層との界面にCu-Ni合金を形成させ、且つ、前記外部接続端子電極は前記下地電極層と最外部電極層とを同時焼付処理で形成してなる積層セラミック電子部品であるから、鉛(Pb)フリーはんだで回路基板に電氣的通電固着する際に生じる特性影響を防止でき耐ヒートサイクル性の高い外部接続端子電極を形成した極小積層セラミックコンデンサ等にも適用できる積層セラミック電子部品を従来品と同等な電氣的特性を維持すると共に廉価に実現することが可能となる。

【0021】以下、本発明を実施例にて詳述する。

【0022】

【実施例】本発明の内部電極のNiと下地電極層のCu\*

表1

区分	Cu層厚	Cp	Tanδ	IR	析出物	電極の変色	判定
従来品	0.05μm	○	○	○	無し	有り	OK
実施例1	0.90μm	△	△	○	有り	有り	NG
実施例2	1.00μm	○	○	○	無し	有り	OK
実施例3	1.10μm	○	○	○	無し	有り	OK

(○：特性低下無し、△：特性低下やや有り)

表1中、Cp：静電容量、Tanδ：損失係数、IR：絶縁抵抗である。

【0025】上記表1から下地電極層であるCu焼付層厚1.00μm以上であれば、Cp、Tanδ、IR共に良好でNi硫化物等の析出物も無く、従来品と同等であることが判る。特に実施例1の如く、層厚が薄いと内部電極のNiがイオン化し、Ni硫化物として内部電極層及び外部に析出し電氣的特性を悪化させる要因になっている。これに対して実施例2、実施例3の如く、層厚が1.00μm以上になると、焼成温度で更にそのNi硫化物と反応して、即ち、層上に形成されているAg-Pdが媒体となって内部電極の露出するNi層とCuの下地電極層の界面にCu-Ni合金接合部を形成して交互の接触を強固にすると共に、導電を良好にしていると推察できる。

【0026】従って、従来の場合には外部接続端子電極を形成するのにメッキ等の形成工程が必要であったのが、メッキ等の形成工程を省力化でき、煩雑な工程となるのを防ぐことができコスト的にも安価に製造することが可能となる。

【0027】(実験2)次に、実施例1、実施例2及び実施例3の積層セラミックコンデンサを各100個選り、ヒートサイクル試験後のクラック発生数及びPbフリーはんだ処理に対する耐熱性良否を検証し、その結果を以下の表2に示す。

【0028】

【表2】

\*によるイオン化傾向の差に基づく、環境雰囲気での外観不良及びこれに伴う電気特性不良を検証するために以下の実験を行った。

【0023】(実験1)本発明の実施例に係る積層セラミックコンデンサと従来品(図2のように外部接続端子電極が3層構造のもの)の積層セラミックコンデンサを夫々20個選り、内部電極のNiと下地電極層のCuによるイオン化傾向の差に基づく、環境雰囲気での外観不良及びこれに伴う電気特性不良を、Cu焼付層厚0.90μm(実施例1)、1.00μm(実施例2)、1.10μm(実施例3)として従来の腐食ガス試験(SO<sub>2</sub>:5ppm×240時間)で検証し、その結果を以下の表1に示した。

【0024】

【表1】

表2

N=100

検証項目	実施例1	実施例2	実施例3
クラック発生数	5	0	0
耐熱性	×	○	○

(○：良好、×：不良)

上記表2に示した如く、下地電極層であるCu層厚が1.00μm以上の範囲でクラック発生が無く、耐熱性も良く、同様に良好な結果が得られた。厚さ1.00μm未満であると薄すぎて耐熱性が劣り、即ち、硫化物の析出で、空洞化が生じ、冷却(室温25℃)時に収縮が起きヒートサイクル試験でクラックが発生する。このクラック発生数は少なく判断され易いが、大量生産においては大きな不良率を誘起し生産歩留の低下に繋がる。

【0029】従って、耐熱性から下地電極層であるCu層膜を厚くすることは必要であるが、高張力や圧縮力を考慮すると、耐熱性が維持できる最低限の厚さに確保すればよく、その厚さの範囲は少なくとも1.00μmで充分であることが理解できる。なお、下地電極層は必要以上に厚くないことが好ましく、3μm以下であることが望ましい。

【0030】以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なのは当業者には自明であろう。

【0031】

【発明の効果】以上説明したように、本発明によれば、Ni又はNi合金層の内部電極を内設した積層セラミック素体の両端に外部接続端子電極を形成する場合において、前記外部接続端子電極はCu又はCu合金を主成分

とする下地電極層と、Ag又はAg合金を主成分とする最外部電極層との重層で形成されているので、鉛(Pb)フリーはんだで回路基板に電氣的通電固着する際に生じる特性影響を防止でき、耐ヒートサイクル性の高い外部接続端子電極を形成できる。また、メッキ等の形成工程も省力化でき、煩雑な工程を防ぐことができコスト的にも安価に製造することが可能である。この結果、極小積層セラミックコンデンサ等にも適用できる積層セラミック電子部品を従来品と同等な電氣的特性を維持すると共に廉価に実現することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る積層セラミック電子部品の実施の形態を示す正断面図である。

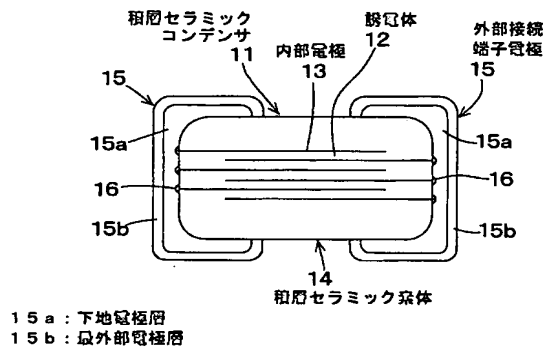
【図2】従来の積層セラミック電子部品の正断面図であ

る。

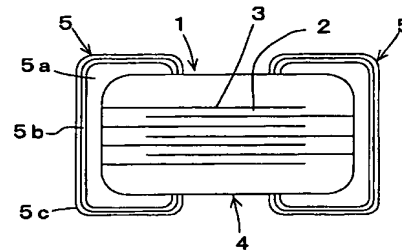
【符号の説明】

- 1, 11 積層セラミックコンデンサ
- 2, 12 誘電体
- 3, 13 内部電極
- 4, 14 積層セラミック素体
- 5, 15 外部接続端子電極
- 5a 第1電極層
- 5b 第2電極層
- 5c 第3電極層
- 15a 下地電極層
- 15b 最外部電極層
- 16 合金層

【図1】



【図2】



フロントページの続き

- (72) 発明者 丸野 哲司  
東京都中央区日本橋一丁目13番1号ティー  
ディーケー株式会社内
- (72) 発明者 落合 利明  
東京都中央区日本橋一丁目13番1号ティー  
ディーケー株式会社内

Fターム(参考) 5E001 AB03 AC04 AC09 AF00 AF06  
AH01 AH09 AJ03  
5E082 AA01 AB03 BC23 BC33 EE04  
EE23 EE35 FG26 GG10 GG11  
GG28 JJ03 JJ23 MM24 PP08  
PP09